

〈特別研究課題〉 Si 量子ドットの超高密度配列と量子相関・輸送制御

助成研究者 名古屋大学 牧原 克典



Si 量子ドットの超高密度配列と量子相関・輸送制御

牧原 克典
(名古屋大学)

Study on Alignment Control of Si-based Quantum Dots and Their Local Electrification Properties

Katsunori Makihara
(Nagoya University)

Abstract :

We have demonstrated lateral growth of Si-quantum-dots (Si-QDs) on line-patterned SiO₂, and confirmed that the Si-QDs diameter in the line direction of the SiO₂ patterns has the same growth rate as the SiO₂ thin film surface without the line patterns. Moreover, it has been found that in the growth of Si-QDs in the width direction, a surface migration of Si precursors adsorbed from space regions could contribute to dots growth on line-patterned SiO₂, which results in an elliptical growth. Furthermore, we have demonstrated a onedimensional arrangement of highly dense-elliptical shaped Si-QDs with high uniformity in size by controlling line width, CVD time, and temperature. In addition, self-aligned Si-QDs with an areal density as high as $\sim 10^{11} \text{ cm}^{-2}$ have been fabricated on ultrathin SiO₂ by using a ~ 4.5 nm thick poly-Si on insulator (SOI) substrate, and controlling low-pressure CVD using SiH₄, and followed by thermal oxidation. By controlling the thermal oxidation processes of Si-QDs and the poly-Si layer, we have successfully demonstrated the vertical alignment of Si-QDs, where the Si-QDs are also used as a shadow mask of the underlying poly-Si layer. These results obtained in this work imply that electrically isolated self-aligned Si-QDs structures can be a candidate for application in devices for quantum information, such as spin-based qubits quantum-dot cellular automata thanks to tunnel coupling and Coulomb interactions between charges stored in the aligned dots structures.

1. はじめに

近年、量子力学の原理に基づく情報処理技術として、量子コンピュータの研究が盛んに行われているが実用化に向けて信頼性の高い情報処理を行うには、ナノ構造の自己組織化形成法を唯一10nm程度の加工技術を用いてデバイス作製が可能であるSiテクノロジーを使わざるを得ない。また、ナノ構造の中でも電子を3次元的に閉じ込める量子ドットは、離散的エネルギー準位が形成されるため、電子1つの運動を制御することができることから、量子ビットの有力な候補である[1]。しかし、量子ドットを量子情報処理デバイスとして利用するには、サイズ制御と配置制御の両立が必要不可欠である。これまでも、量子ドットで簡単な論理ゲートが作られてきたが、その作製方法は電子線リソグラフィーやエッチングなどを用いたトップダウンの加工法であり、極低温での機能検証に留まっており、実用的な量子演算を行えるレベルには至っていない。常温量子コンピューティングの実現のためには、既存リソグラフィー技術の空間分解能を超えて、超高密度ナノスケール集積構造を一括形成する技術を開発する必要がある。本研究では、Si量子ドットを活用した量子情報処理デバイスの作製技術を確立するため、基板表面の化学修飾やシラン系ガスの化学気相成長法の精密制御による分子吸着・化学反応の選択性を活用することでSi量子ドットを一次元、二次元および三次元的に規則配列する技術を確立し、ドット間でのキャリア輸送やダイナミクスを精査することで量子情報処理デバイスの開発指針を得ることを目的とする。

2. 極細SiO₂ラインパターン上へのSi量子ドット一次元配列形成

2.1 実験方法

p-Si(100)基板を化学洗浄後、1000°Cでドライ酸化することで、Si基板表面に厚さ約3.0nmのSiO₂膜を形成した。その後、ライン幅30~80nm、スペース幅50~100nmのSiO₂ラインアンドスペースパターンをEBリソグラフィーおよびCF₄ガスを用いた容量結合型プラズマ反応性イオンエッチングにより作製した。その後、試料を0.1%HF処理することで、SiO₂ラインパターン上をSi-OH終端、SiO₂ライン間のSi表面を水素終端した。その後、800°Cドライ酸素雰囲気にて熱処理した。尚、この熱処理では、スペース領域のSi表面には厚さ1.4nmのSiO₂層が成長することが分かっている。引き続き、550°C、90PaでSiH₄-LPCVDを行った後、AFMおよびSEMにより表面形状像を評価した。

2.2 Si量子ドット面密度—SiO₂ライン幅依存性

図1に、EBリソグラフィーおよび引き続き行ったドライエッチング後における試料表面のSEM像を示す。ライン幅~50nmおよびスペース幅~50nmにパターンニングされたSiO₂/Si(100)基板の形成が認められる。本実験では、~30nmから~80nmのライン幅および~50nmから~100nmのスペース幅を有するライン&スペースパターンを形成し、SiO₂ラインパターン上へのSi量子ドットの自己組織化形成を行った。ラインパターンを形成していないOH終端SiO₂表面では、SiH₄-LPCVD後のAFM像から面密度~10¹¹cm⁻²を有するSi量子ドット

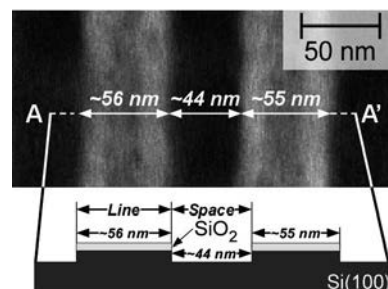


図1 ~50nm幅ラインおよび~50nm幅スペースを有するSiO₂/Si(100)ラインアンドスペースパターンのSEM像および模式図。

トの形成が認められ、ライン幅~80nm およびスペース幅~100nm のSiO₂ ラインパターンの場合、SiO₂ ライン上では面密度~10¹¹cm⁻² の高密度なSi 量子ドット形成が認められた。一方、スペース領域上ではSi ドット形成が著しく抑制されていることが分かった。また、異なるライン幅およびスペース幅を有するライン&スペースパターン上において、LPCVD 時間がSi 量子ドットの面密度に及ぼす影響を調べた結果、CVD 時間による顕著な変化が認められなかった。これは、スペース領域での新たな核形成の生成が極めて抑制できることを意味している。

2.3 SiO₂ ライン上のドット数—SiO₂ ライン幅依存性

SiO₂ライン幅がライン上でのSi 量子ドット数に及ぼす影響を調べるため、異なるライン幅のSiO₂ラインパターンの表面形状像に対して垂直方向に50nm 間隔で引いた断面ラインプロファイルから、SiO₂ ライン上の平均Si 量子ドット数を求めた。図2 に90 秒間のSiH₄-LPCVD 直後に測定した~80nm ライン幅および~100nm スペース幅を有する試料のAFM 表面形状像を示す。SiO₂ ライン幅当たりの平均ドット数 D_N とし、下記の式を用いて評価した。

$$D_N = \frac{D_T}{N} \frac{1}{n}$$

ここでは、 n 、 N 、および D_T はそれぞれSiO₂ ライン数、SiO₂ ラインに対して水平に50nm 間隔で引いた点線の数、および断面ラインプロファイルから評価した点線1本あたりのドット数とした。SiO₂ライン幅に対して D_N をまとめた結果を図2(b)に示す。ライン幅80nm から50nmでは顕著な変化は認められず、 D_N は~2.5であった。しかしながら、ライン幅を30nm まで低減した場合、 D_N は~1 に漸近する。これは、30nm 幅SiO₂ ライン上では、面内垂直方向に対して単一のSi量子ドットが形成されていることを示している。実際に、図3(a)に示すように、30nm 幅SiO₂ ライン上では、平均ドット直径~6.2nm のSi量子ドット一次元配列形成が実現できている。尚、平均ドット直径は、SEM 像から評価したドット直径分布に対数正規分布関数を用いることで決定した(図3(b))。

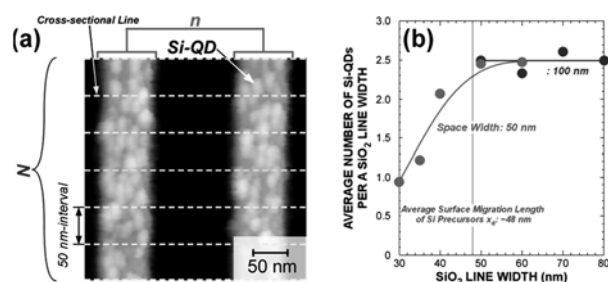


図2 (a)SiH₄-LPCVD 直後に測定した80nm ラインおよび100nm スペースSiO₂ ラインパターンの表面形状像。ただし、黄緑の線が形状像における50nm 間隔のラインプロファイルを示している。(b)SiO₂ ライン幅当たりの平均Si量子ドット数のライン幅依存性。

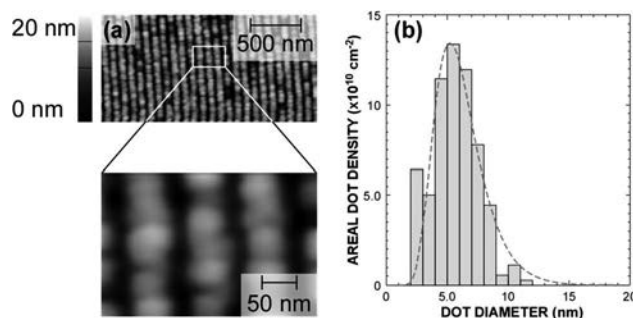


図3 (a)SiH₄-LPCVD 直後の~30nm 幅ライン幅および~50nm スペース幅のSiO₂ ラインパターンの表面形状像と(b)SEM 像から評価したドット直径分布。

2.4 20nm 幅SiO₂ ラインパターン上のへSi 量子ドット形成

Si 反応前駆体の平均表面拡散長よりも十分に短い幅(20nm)のSiO₂ ラインパターン上に形成したSi 量子ドットのライン方向および幅方向の直径分布をSEM 像から評価した結果を図4 に示す。CVD 時間を30 秒間から60 秒間に増加させた場合、SiO₂ パターンのライン長手方向と幅方向の平均直径に著しい変化は認められなかった。しかしながら、図5 に示すようにCVD 時間を100 秒にした場合、SiO₂ パターンのライン長手方向の平均直径がライン幅方向の平均直径よりも大きくなり、CVD 時間が150 秒の場合では、ライン長手方向の成長速度がライン幅方向の成長速度の約2 倍になる。これは、Si 反応前駆体の平均表面拡散長よりも短いライン幅では、十分に長いCVD 時間においてSiO₂ ライン上に形成したドットの形状が楕円状になることを示している。

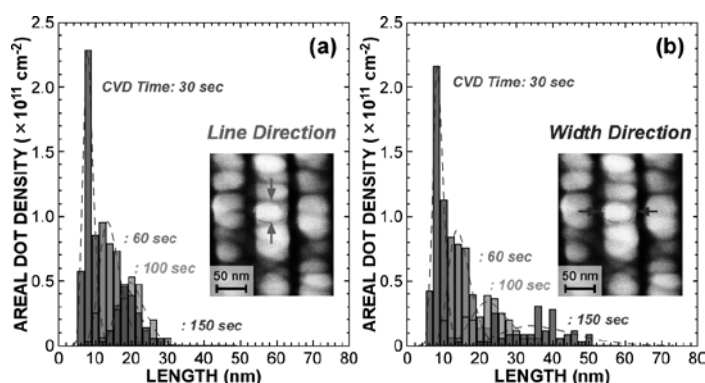


図4 580°Cにて30 秒、60 秒、100 秒、および150 秒間のSiH₄-LPCVD により20nm 幅SiO₂ ラインパターン上に形成したSi量子ドットのSEM 像から評価した(a)ライン長手方向および(b)幅方向におけるサイズ分布。尚、挿入図は580°Cにて150 秒間のSiH₄-LPCVD によりSiO₂ ライン上に形成したSi 量子ドットのSEM 像を示す。

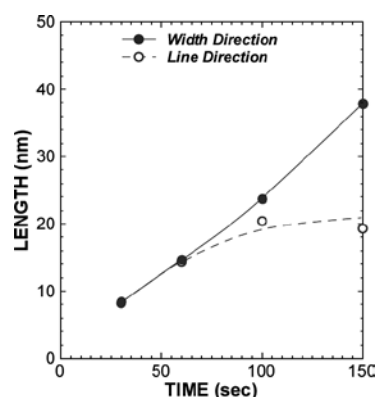


図5 20nm 幅SiO₂ ラインパターン上に形成したSi量子ドットのライン長手方向および幅方向における平均長さのCVD 時間依存性。

これらの結果から、SiO₂ ラインパターン上でのSi 量子ドットの自己組織化形成は、幅50 nm のSiO₂ ラインパターンの場合では、SiO₂ ライン幅がSi 前駆体の平均拡散長(~48nm)[2]と同程度であることから、スペース領域から拡散するSi 前駆体はライン上のドット成長にほとんど寄与しないため、Si 量子ドットは半球状となる。一方、20nm 幅のラインパターンの場合では、スペース領域から拡散するSi 前駆体のライン上のSi 安定核への取り込みが顕著になり、ライン幅方向へのドット成長が促されると考えられる。この結果は、スペース幅からの前駆体の拡散を制御することでドットサイズの均一性を向上させることを示唆している。実際に、基板温度およびライン幅、CVD 時間を制御することで、~25nm 幅SiO₂ ラインパターンにおいて極めて均一性の高いSi 量子ドットが一次元に配列形成できることが分かった(図6)。

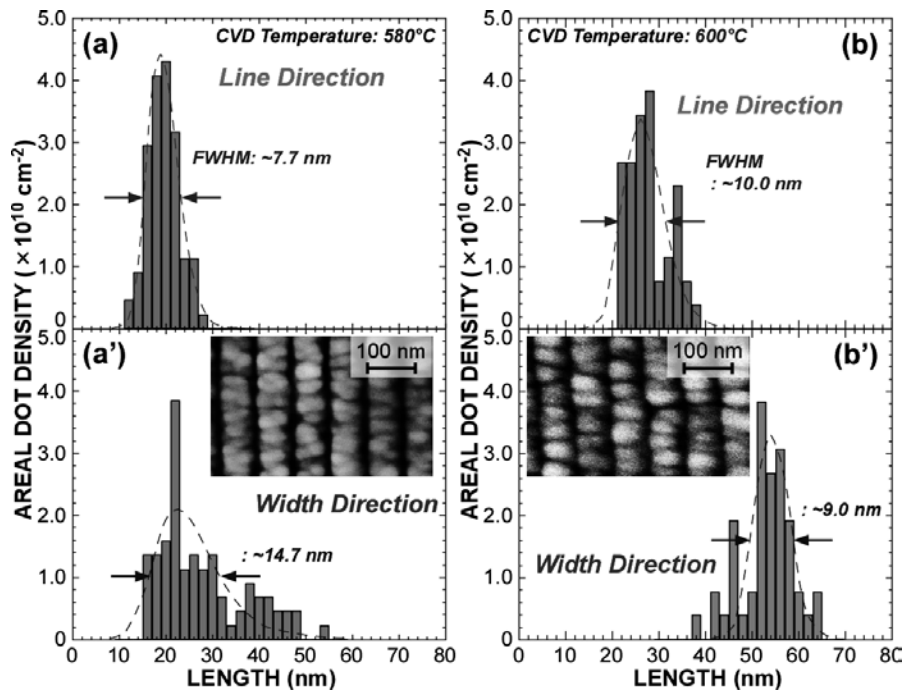


図6 (a, a')580°C および(b, b')150 秒間のSiH₄-LPCVD により25nm 幅SiO₂ ラインパターン上に形成したSi 量子ドットのSEM 像から評価した(a, b)ライン長手方向および(a', b')幅方向におけるサイズ分布。尚、挿入図はSEM 像を示す。

3. 自己整合縦積み連結Si 量子ドットの高密度・一括形成および局所帯電特性

3.1 実験方法

p-Si(100)基板を化学溶液洗浄後、900°C のHCl/O₂ 雰囲気下にて熱酸化することで膜厚10nm 程度のSiO₂ 層を形成した。その後、1.0%希フッ酸によりSiO₂ 層を膜厚4.1nm 程度まで薄膜化し、550°Cにて高水素希釈Si₂H₆-LPCVD により膜厚4.5nm の非晶質Si(a-Si)層をSiO₂ 上に形成した後、650°Cにて真空熱処理によりa-Si 層の結晶化を行った。この際、熱処理前後における著しいSi 層の膜厚変化は認められないことを別途分光エリプソメトリー測定により確認している。引き続き、表面に形成された自然酸化膜を0.1%HF により除去した後、600°C ドライ酸素雰囲気にて多結晶Si(poly-Si)表面を熱酸化し、膜厚1.8nm のSiO₂ 層を形成した。その後、0.1%HF によりSiO₂ 表面をOH 終端した後、SiH₄-LPCVD によりSi 量子ドットを高密度・一括形成した後、850°C ドライ酸素雰囲気において、5-75 分間熱酸化を行った。また、Si 量子ドットの面密度および平均高さは原子間力顕微鏡(AFM)測定により評価した。この際、平均高さはドット高さ分布に対して対数正規分布関数をフィッティングすることにより算出している。Si 量子ドット構造の断面解析には、透過型電子顕微鏡(TEM)-エネルギー分散型X線分光(EDX)マッピング観察を行った。Si 量子ドットの局所帯電特性はAFM/Kelvin フォース顕微鏡(KFM)による表面形状および電位像の同時測定により行った。尚、KFM 測定は室温、大気圧下にて曲率半径10nm のRh コートSi カンチレバーを用いて行った。

3.2 表面形状解析—熱酸化時間依存性

Si 量子ドット形成後およびドット表面を熱酸化後に測定したAFM 像を図7 に示す。尚、~1.8nm 厚SiO₂ 層を形成したAFM 像から評価した表面RMS ラフネス値は0.31nm 程度であり、as-grown SiO₂ における表面平坦性の観点から十分に低い値であることは別途確認している。また、酸化前

後に表面RMS ラフネス値が同程度であることから、酸化時の再結晶化が生じるほどの結晶粒は形成されていないと考えられる。引き続き行ったSiH₄-LPCVDにおいて、平均ドット高さが約6.5nmおよび面密度が約 $2 \times 10^{11} \text{cm}^{-2}$ のSi量子ドットの形成が認められた(図7(a, d))。一方、850°CにてSi量子ドットを50および75分間熱酸化した場合、面密度が同程度であるにも関わらず、ドット高さ分布から評価した平均ドット高さは、それぞれ~7.4および~9.5nmにまで増大していることが分かる(図7(b, c, d))。これらの結果は、Si量子ドットの表面酸化の進行に起因した体積膨張により説明できる。実際、n-Si(100)基板

を850°Cにて75分間の熱酸化を行った場合、SiO₂膜厚は約13.6nmであるため、消費するSi膜厚は約6nmとなる。したがって、Si(100)基板と同じ酸化レートで熱酸化が進行したとしても本実験で作製したSi量子ドットは完全には酸化しないことが示唆され、化学量論的SiO₂の形成を仮定すると、75分の熱酸化後においてSiコア高さは約4.1nmになると見積られる。

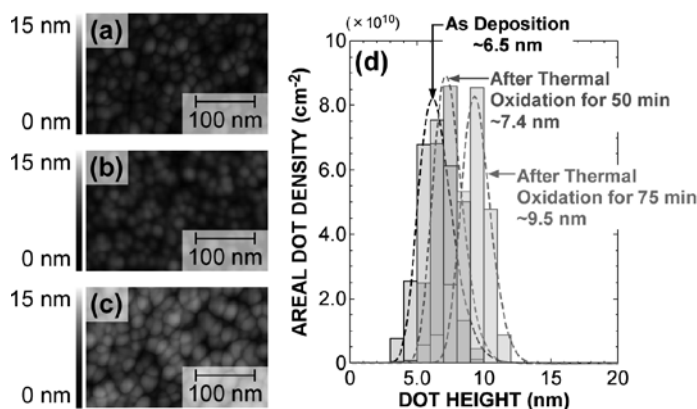


図7 (a)SiH₄-LPCVD 後および引き続きの(b)50分間および(c)75分間の熱酸化に測定したAFM表面形状像。(d)表面形状像(a)、(b)、および(c)に対応するドット高さ分布。

3.3 断面EDX マッピング分析—熱酸化時間依存性

Si量子ドット構造の酸化過程を評価するために、異なる時間酸化した後のSiO₂/poly-SOI構造上Si量子ドットの断面EDXマッピング像を測定した結果を図8に示す。試料を5分間酸化した場合、Siドット表面の酸化が認められる一方で、下部poly-Siはほとんど残っていることが分かる(図8(a))。しかしながら、酸化時間の増大に伴い、ドット表面の酸化と同時にドット間のpoly-Si層の酸化が進行していることが認められる(図8(b, c))。さらに酸化時間を75分まで増加した場合、Si量子ドット/SiO₂/poly-SOI構造は完全に酸化される(図8(d))。尚、50分間の850°C熱酸化にて、ドット形成をしていないSiO₂/Si(100)基板上に形成した膜厚~4.5nmのpoly-Siは完全に酸化することは別途行った分光エリプソメトリー測定から確認している。TEM観察に用いた試料厚さが約100nmであることを考慮すると、奥行方向に向かってドットが重畳しているため、ドット間の境界が不明瞭となると考えられるが、これらの結果から、50分間酸化により、Si量子ドットが下部poly-Siのシャドーマスクとしても機能するため、自己整合的に縦積み連結したSi量子ドット構造の形成が示唆

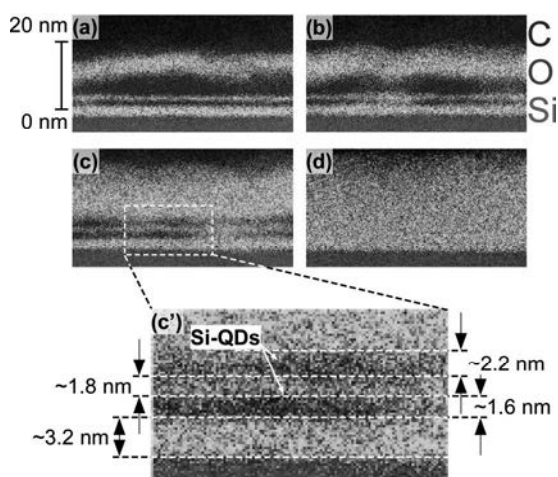


図8 850°Cにて(a)5分、(b)20分、(c)50分、および(d)75分間熱酸化した後のSi量子ドット/SiO₂/poly-SOI構造の断面EDXマッピング像。(c')は(c)の拡大図。

される。

3.4 高密度縦積み連結Si 量子ドットの電荷注入特性

SiO₂ のライン&スペース構造を用いたSi 量子ドットの一次元配列形成プロセスとSOI 基板上のSi 量子ドット熱酸化制御による縦積み形成プロセスを組み合わせることで、一次元連結Si 量子ドットの面内一軸方向に規則配列を試みた。このプロセスでは、下地SiO₂ 膜厚は約2.4nm であり、poly-SOI 表面にSiO₂ 層を形成後、図9 に示すように~20nm 幅ラインおよび~290nm スペース構造を形成した。ライン&スペースパターン形成後、0.1%HF 処理および800°C 熱酸化を行うことで、SiO₂/poly-SOI ライン表面にのみ選択的に反応活性なOH 結合を形成した。引き続き、ライン上へのSi 量子ドット形成に向けてSiH₄-LPCVD を行った後、ドット表面に形成したSiO₂ を1.0%HF 処理により膜厚約3.5nm まで薄層化した後、裏面コンタクト用に100nm 厚のAl 層を真空蒸着により形成した。

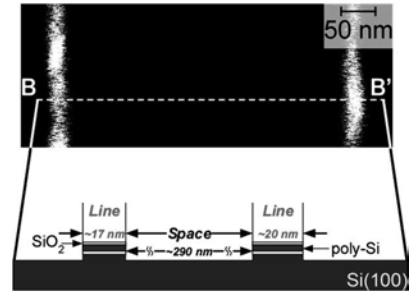


図9 ~20nm 幅ラインおよび~290nm 幅スペースのラインアンドスペースパターン状SiO₂/poly-SOI 基板のSEM 像および模式図。

Si 量子ドット形成後のAFM 表面形状像から、一次元配列形成が認められる(図10(a))。この構造において、AFM/KFM による試料の局所帯電特性を評価した結果を図10[(b)-(d)]に示す。電圧印加する前では、一様な表面電位が観測されるものの、試料表面の20×20nm² 領域を基板に対して-7.0V 印加したRh 探針で表面掃引した場合、電圧印加領域において、ドットからの電子引き抜きに起因した表面電位の増加(~8.1mV)が認められた(図10(c, d))。尚、バイアス印加していない領域においては、表面電位に変化は認められなかった。Si 量子ドットの電子放出特性を調べるために、表面電位変化量 ΔV の探針印加電圧依存性を調べた結果を図11 に示す。探針電圧0 から-3.0V では、表面電位変化に変化は認められないものの、-4.0 から-10V 電圧で表面掃引した場合には、離散化エネルギー準位を反映した多段階な電位変化が認められた。KFM 測定における簡易等価回路モデルを用いて連結ドット内に保持された電荷数を計算した結果、フィッティングパラメーターであるRh 円形電極の有効半径に対して、3 通りの電荷保持パターンが考えられるが、断面EDX マッピング像から評価した各ドット高

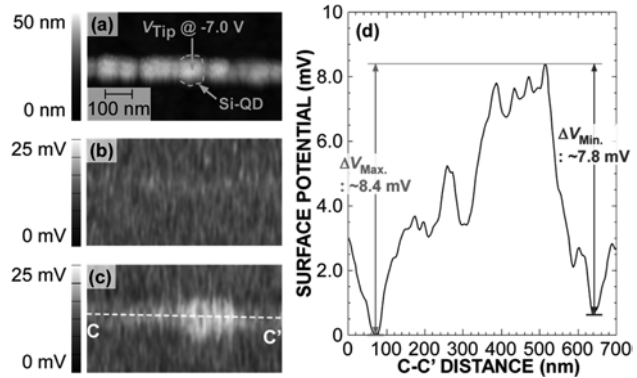


図10 (a)50 分酸化後に測定したSiO₂/poly-SOI ラインパターン上のSi 量子ドットの表面形状像、および探針バイアス電圧-7.0V 印加(a)前および直後の表面電位像。(d)は(c)において示されるラインC-C'に沿った平均断面電位プロファイルを示している。

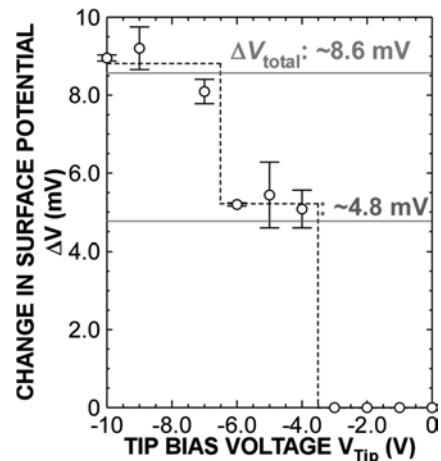


図11 表面電位像から評価した表面電位変化量の探針印加電圧依存性。

さおよびSiO₂ 膜厚を考慮すると、探針電圧を-4.0V で印加した場合の表面電位の上昇は、下部量子ドットに2つの正孔が注入・保持されていると考えられる。探針印加電圧-7.0V においては、上部ドットに3つの正孔が注入された直後、チャージングエネルギーの上昇により高次の量子準位に占有された1 個の正孔が下部ドットに移動した結果、上部ドットおよび下部ドットにそれぞれ、1 個および2 個の正孔が保持されている計算結果によく一致することが分かった。これらの結果は、面内方向に配列し、かつ電氣的に分離した縦積み連結 Si 量子ドット構造の形成が実現できていることを示している。

参考文献

- [1] J. Yoneda, K. Takeda, T. Otsuka, T. Nakajima, M. R. Delbecq, G. Allison, T. Honda, T. Kodera, S. Oda, Y. Hoshi, N. Usami, K. M. Itoh, and S. Tarucha, *Nature Nanotechnology* 13, 102-106(2018).
- [2] S. Miyazaki, M. Ikeda, E. Yoshida, N. Shimizu, and M. Hirose, *Proc. 25th Int. Conf. Phys. Semicond.* M062, Osaka, Sept. 17-22, 2000, M062, p.373.